

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010377472 **Image available**

WPI Acc No: 1995-278786/199537

Related WPI Acc No: 1995-398460; 1996-025376; 1996-102509; 2001-055608

XRPX Acc No: N95-212785

Semiconductor device mfg method for LCD appts - by forming metallic crystalline element peripheral portions of source, channel domains and element formation domain on silicon film

Patent Assignee: SHARP KK (SHAF)

Inventor: FUNAI T; MAKITA N; YAMAMOTO Y; KOSAI T; MITANI Y; MIYAMOTO T; NOMURA K

Number of Countries: 005 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7176479	A	19950714	JP 93319904	A	19931220	199537 B
TW 272319	A	19960311	TW 94111019	A	19941126	199625
CN 1112287	A	19951122	CN 94120769	A	19941220	199737
US 5696003	A	19971209	US 94357648	A	19941216	199804
US 5821562	A	19981013	US 94357648	A	19941216	199848
			US 95452693	A	19950530	
JP 3076490	B2	20000814	JP 93319904	A	19931220	200043
KR 228231	B1	19991101	KR 9435807	A	19941220	200110

Priority Applications (No Type Date): JP 93319904 A 19931220; JP 9463230 A 19940331; JP 9490356 A 19940427; JP 94139151 A 19940621

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7176479	A		8 H01L-021/20	
TW 272319	A		H01L-031/0392	
CN 1112287	A		H01L-021/00	
US 5696003	A	58	H01L-021/84	
US 5821562	A		H01L-029/786	Div ex application US 94357648 Div ex patent US 5696003
JP 3076490	B2	8	H01L-021/20	Previous Publ. patent JP 7176479
KR 228231	B1		H01L-029/786	

Abstract (Basic): JP 7176479 A

The mfg method involves forming an amorphous silicon film (102) on a substrate (101). The silicon film is cut into the shape of an island. A metallic crystalline element (105) is formed at a selective target on the silicon film. The peripheral portions of source and channel domains (109,110) are formed on the silicon film by selective heating. An element formation domain is formed on the silicon film.
ADVANTAGE - Provides stable characteristics. Improves mobility and film quality.

Dwg.1/7

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD; LCD; APPARATUS; FORMING; METALLIC; CRYSTAL; ELEMENT; PERIPHERAL; PORTION; SOURCE; CHANNEL ; DOMAIN; ELEMENT; FORMATION; DOMAIN; SILICON; FILM

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/84;
H01L-029/786; H01L-031/0392

International Patent Class (Additional): H01L-021/268; H01L-021/336;
H01L-027/12; H01L-029/04; H01L-029/06; H01L-031/036

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.
04883879 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE
PUB. NO.: 07-176479 [JP 7176479 A]
PUBLISHED: July 14, 1995 (19950714)
INVENTOR(s): MAKITA NAOKI
 FUNAI TAKASHI
 YAMAMOTO YOSHITAKA
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 05-319904 [JP 93319904]
FILED: December 20, 1993 (19931220)
INTL CLASS: [6] H01L-021/20; H01L-021/268; H01L-027/12; H01L-029/786;
 H01L-021/336
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS)

ABSTRACT

PURPOSE: To realize a semiconductor element having high performance and stable characteristics over an entire surface of a substrate by forming a crystalline silicon film crystallized by a crystal growth in a direction substantially parallel to the surface of the substrate as an element forming region.

CONSTITUTION: A base film 102 is formed of silicon oxide on an insulating substrate 101, and then an intrinsic amorphous silicon film is formed. Then, the silicon film of an unnecessary part is removed, isolated between elements, an element forming region 104 is formed, and many insular regions are formed. Thereafter, a mask layer 103 is formed on the region 104, the region 104 is exposed by a windowlike slit 100 opened at the layer 103, and a nickel silicide film is formed. Then, the layer 103 is removed to selectively form a nickel silicide film on a part of the region 100. Subsequently, it is heat-treated to crystallize it in a direction indicated by an arrow 105.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-176479

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8418-4M		
21/268	Z			
27/12	R			
29/786				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		審査請求 未請求 請求項の数6	OL (全 8 頁)	最終頁に続く

(21) 出願番号 特願平5-319904

(22) 出願日 平成5年(1993)12月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 船井 尚

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 山元 良高

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

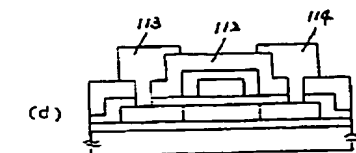
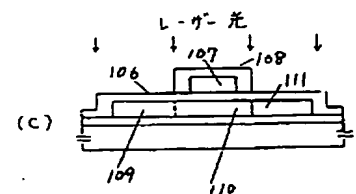
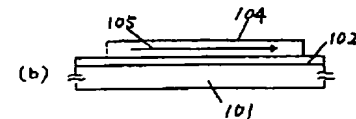
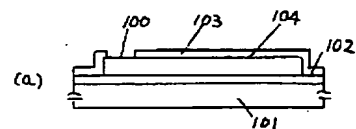
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 素子のサイズに関係なく、基板全面にわたって高性能で安定した特性の半導体素子を実現するための半導体装置の製造方法を提供する。

【構成】 非晶質シリコン膜にその結晶化を助長する金属元素を導入する工程と、結晶成長のための加熱処理工程以前に非晶質シリコン膜の島状化を行う工程と、非晶質シリコン膜の島状化した後に結晶成長のための加熱処理を施すことにより、その島状非晶質シリコン膜内でのみ金属元素が効率的に拡散し、結晶成長方向が完全に一方向にそろった結晶粒界のない高品質な結晶性シリコン膜を得ることができる。



【特許請求の範囲】

【請求項 1】 基板上に実質的な非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜を島状に分断する工程と、その後、結晶化を助長する金属元素を前記島状非晶質シリコン膜の一部に選択的に導入する工程と、加熱によって前記島状非晶質シリコン膜を前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程とを少なくとも有し、前記工程において結晶化した結晶性シリコン膜を素子形成領域とすることを特徴とする半導体装置の製造方法。

【請求項 2】 基板上に実質的な非晶質シリコン膜を形成する工程と、前記工程の前または後において前記非晶質シリコン膜に結晶化を助長する金属元素を選択的に導入する工程と、前記非晶質シリコン膜を島状に分断する工程と、その後、加熱によって前記非晶質シリコン膜を前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に結晶成長を行わせる工程とを少なくとも有し、前記工程において結晶化した結晶性シリコン膜を素子形成領域とすることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または請求項 2 において、結晶性シリコン膜中のキャリアの移動する方向と結晶成長方向とが概略平行となるように半導体素子を構成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 または請求項 2 において、非晶質シリコン膜の結晶化を助長する金属元素を、マスク層に形成された窓状のスリットを介して導入することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 または請求項 2 において、島状に分断された非晶質シリコン膜による素子形成領域のソース領域あるいはドレイン領域となる部分の少なくとも一部分に、前記非晶質シリコン膜の結晶化を助長する金属元素が前記非晶質シリコン膜が基板上に形成される工程の前またはその後の工程で導入されることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 または請求項 2 において、金属元素として Ni、Co、Pd、Pt の中から選ばれた少なくとも一つの材料を用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、結晶性シリコン膜を用いた半導体装置の製造方法に係わり、特に、アクティブマトリクス型液晶表示装置等に用いられるガラス等の絶縁基板上の薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 近年、大型あるいは高解像度のアクティブマトリクス型液晶表示装置や高解像度のイメージセンサー等に用いるため、ガラスや石英等の絶縁基板上に高

性能な半導体素子を形成する技術が求められている。

【0003】 これらの半導体素子としては薄膜トランジスタが知られており、素子材には薄膜状のシリコン半導体を用いるのが一般的である。薄膜状のシリコン半導体としては、非晶質シリコン半導体からなるものと結晶性を有するシリコン半導体からなるものに大別される。非晶質シリコン半導体は作製温度が低く、気相法で比較的容易に作製することが可能であり量産性に富むため、最も一般的に用いられている。しかし導電性等の物性が結晶性を有するシリコン半導体に比べて劣るため、半導体素子の特性を更に向上するためには、結晶性を有するシリコン半導体を素子材とする半導体素子の作製方法確立する必要がある。尚、結晶性を有するシリコン半導体としては、多結晶シリコン、微結晶シリコン、結晶成分を含む非晶質シリコン、結晶性と非晶質性の中間の状態を有するセミアモルファスシリコン等が知られている。

【0004】 これら結晶性を有する薄膜状のシリコン半導体を得る方法としては、成膜時に結晶性を有するシリコン膜を直接基板上に成膜する方法や、非晶質シリコン膜を基板上に成膜し、レーザー光を照射してそのエネルギーにより結晶化する方法が知られてる。前者の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性シリコン膜を得るためにはシリコン膜の厚膜化が不可欠であり、良好な半導体物性を有する結晶性シリコン膜を基板上に全面に渡って均一に成膜することが困難であるばかりでなく、成膜温度が600℃以上の高温となるため安価なガラス基板が使用できないという問題がある。後者の方法では、熔融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性シリコン膜が得られるが、大面積基板の全面に結晶性シリコン膜を均一に成膜するためにはレーザー光の照射面積が小さいためスループットが低い、あるいはレーザー光の安定性が充分でない等解決すべき課題が多い。

【0005】 そこで、現在最も実用的と考えられている方法に非晶質シリコン膜に熱エネルギーを加え固相結晶化させる方法がある。この方法は上述の方法と比較して大面積基板上に均一に薄膜状の結晶性シリコン膜を作製できる利点がある。

【0006】 従来、この固相結晶化方法において、基板上に形成した半導体薄膜をあらかじめ素子形成領域に対応してパターンニングした後に結晶化させる方法が特開昭62-122172号公報、特開平3-290924号公報および特開平4-165613号公報に開示されている。特開昭62-122172号公報および特開平4-165613号公報においては、基板上の素子形成領域を他の素子形成領域と分離し、一部を残して非晶質化した後に熱処理を行い残部を核として非晶質化した領域を一方に結晶化させることが示されている。特開平3-290924号公報においては、基板上の素子形成領

域を島状パターンに形成する以外に素子形成領域である非晶質シリコン膜の核密度を制御し、核密度や結晶成長距離に対して島状パターンのサイズを適正化することが示されている。

【0007】また、特願平5-218156号では、結晶成長の核としてニッケル等の金属元素を非晶質シリコン膜に導入することにより、結晶化初期の核生成速度とその後核成長速度を向上し、580℃以下の温度で4時間程度の加熱処理で十分な結晶性が得られることが示されている。さらに、その後加熱処理を継続させると、選択的に金属元素が導入され結晶化している部分から、その周辺部の非晶質部分へと横方向、即ち基板面に平行な方向に結晶成長部分が延びる現象が起きる。この部分では基板と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向において結晶粒界が存在しない。このメカニズムは現状では明らかではないが、不純物として非晶質シリコン膜に導入した金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長が急激に進行するものと推測されている。この結晶成長部を利用して半導体素子のチャネル領域を形成することにより、高性能な半導体素子の実現可能となる。また、基板の一部に選択的に金属元素を導入することにより、レーザー光による結晶化のように同一基板内に選択的に結晶性シリコン膜と非晶質シリコン膜とを形成することが可能となる。

【0008】図5は上述の結晶成長部分を利用した薄膜トランジスタを基板上から見た場合の平面図である。基板全面に形成された非晶質シリコン膜上に酸化シリコン膜等からなるマスク層を堆積し、そのマスク層に金属元素添加用の窓500を開け、金属元素を導入する。次に約550℃の温度で4時間程度の熱処理を行うと、金属元素添加領域500が結晶化し、それ以外の部分が非晶質シリコンのままで残る。さらに8時間程度熱処理を継続すると、金属元素添加領域500を中心として全方位の成長方向501で横方向結晶成長が拡がり、結晶成長部分502が形成される。その後、この結晶成長部分502を利用して従来の方法に従い薄膜トランジスタを作製する。その際、結晶成長部分502に対しソース領域503、チャネル領域504、ドレイン領域505を図5のような配置で設けることにより、キャリアが移動する方向と結晶成長方向501が同一方向となり、キャリアの移動方向に対して結晶粒界が存在しない半導体素子の実現できる。

【0009】

【発明が解決しようとする課題】上述した固相結晶化方法においては、大面積基板上に均一に薄膜状の結晶性シリコン膜を作製できるという利点があるが、結晶化に際して600℃以上の高温で数十時間にわたる加熱処理が必要である。すなわち、安価なガラス基板を使用し、かつスループットを向上させるためには、加熱温度を下

げ、かつ短時間で結晶化させるという問題点を同時に解決する必要がある。また、固相結晶化現象を利用するため、結晶粒は基板面に平行に拡がり数 μm の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合っただけで結晶粒界が形成されるため、その結晶粒界はキャリアに対するトラップ準位として働き、薄膜トランジスタの移動度を低下させる大きな原因となっている。上述した従来の方法においては、基板上に形成した非晶質半導体膜をあらかじめ素子形成領域に対応してパターニングした後に結晶化することにより、素子形成領域への結晶粒界の発生を抑制し、結晶を大粒化することが可能となるが、結晶化に際しては従来通りの高温かつ長時間に及ぶ加熱処理が必要である。また、従来の横方向結晶成長技術においては、結晶化の際の加熱温度を低温化し、かつ処理時間を短縮できるだけでなく高性能の半導体素子の実現可能である。しかし横方向結晶成長技術の場合、少なくとも半導体素子のチャネル領域を覆う結晶成長距離が必要である。結晶成長部分が到達しない領域は非晶質シリコン膜として残存するため、結晶成長が不十分であればチャネル領域内に結晶成長した結晶性シリコン膜と非晶質シリコン膜が混在することになり、半導体素子の特性を大きく低下させてしまうことになる。また、チャネル領域内を結晶成長した結晶性シリコン膜で形成することができた場合においても、ソース領域あるいはドレイン領域となるコンタクト領域が非晶質シリコン膜の状態に残存していれば、コンタクト領域での抵抗が増大し、十分な半導体素子の特性を得ることができない。

【0010】上述の特願平5-218156号では、基板上に非晶質シリコン膜を堆積後、選択的に金属元素を添加し、加熱処理を行って非晶質シリコン膜をラテラル結晶成長させた後に結晶成長したシリコン膜を島状化して素子形成領域を形成している。この方法では、非晶質シリコン膜に添加された金属元素は添加された領域の周囲に拡散していくため、図6に示すように金属元素添加用の窓パターンの形状および大きさによって結晶成長距離Lに差が見られる。また、図6の曲線Aは不純物元素の添加量が大きい場合、曲線Bは添加量が小さい場合を示し、図6から分かるように金属元素の添加量を増加させても、全体に結晶成長距離が延びるだけで、窓状のスリットパターンの寸法による結晶成長距離のばらつきは改善されない。すなわち、図7に示すように、横方向結晶成長702は、金属元素が直接添加され先に結晶化した部分700の端部に偏在した金属元素が全周囲に拡散することによって進行し、例えば、図7に示すように金属元素添加領域700が長方形であれば、角部706における結晶成長方向701の自由度は理論上270°であり、金属元素の密度が他の周辺部707よりも実質上小さいことになる。故に角部706では結晶成長距離が他の部分に比べて短く、角部706にその周辺部の金属元素が取り込まれ、結果として小さいスリットパター

ンほど結晶成長距離が短くなる。特にアクティブマトリクス型液晶表示装置の画素スイッチング素子のような小さいサイズの薄膜トランジスタを作製しようとする場合には、十分な結晶成長距離が得られないといった問題点が存在していた。

【0011】

【課題を解決するための手段】本発明は上述の問題点を解決するためになされたものであり、素子のサイズに関係なく十分な結晶成長距離を確保し、基板全面にわたって高性能で安定した特性の半導体素子を実現するための半導体装置の製造方法を提供するものである。本発明の主旨は、結晶成長工程以前に非晶質シリコン膜の島状化を行うことにより、その島状非晶質シリコン膜内でのみ金属元素を効率的に拡散させ、結晶成長方向が完全に均一な結晶性シリコン膜を得ることである。本発明の半導体装置の製造方法においては、

1) 基板上に実質的な非晶質シリコン膜を形成する工程と、該非晶質シリコン膜を島状に分断する工程と、その後、結晶化を助長する金属元素を前記島状非晶質シリコン膜の一部に選択的に導入する工程と、加熱によって前記島状非晶質シリコン膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に一次元方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性シリコン膜を利用して半導体素子を形成する工程とを少なくとも有することを特徴とする。金属元素を島状非晶質シリコン膜に選択的に導入する領域は、島状非晶質シリコン膜を橋渡しする大きさとするのが好ましい。

【0012】2) 基板上に実質的な非晶質シリコン膜を形成する工程と、前記工程の前または後において前記非晶質シリコン膜に結晶化を助長する金属元素を選択的に導入する工程と、前記非晶質シリコン膜を島状に分断する工程と、その後、加熱によって前記非晶質シリコン膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺部において、基板表面に対し概略平行な方向に一次元方向に結晶成長を行わせる工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性シリコン膜を利用して半導体素子を形成する工程とを少なくとも有することを特徴とする。金属元素を島状非晶質シリコン膜に選択的に導入する領域は、島状非晶質シリコン膜を橋渡しする大きさとするのが好ましい。

【0013】3) 前記半導体素子において、結晶性シリコン膜中のキャリアの移動する方向と結晶成長方向とが概略平行となるように半導体素子を構成することを特徴とする。

【0014】

【作用】本発明においては、横方向結晶成長のための加熱処理工程以前に非晶質シリコン膜の島状化を行うことにより、その島状非晶質シリコン膜内でのみ金属元素の

拡散が起こる。これにより、従来の横方向結晶成長のように結晶成長方向が二次元的に拡がらず、結晶成長方向が完全に一方にそろった一次元的なラテラル結晶成長が行え、結晶粒界のない高品質な結晶性シリコン膜を得ることができる。また、一次元的に結晶成長することによって、金属元素が効率的に所望の成長方向のみに拡散し、従来問題となっていた金属元素添加用の窓状スリットパターン形状および大きさによるラテラル成長距離のばらつきが解消でき、半導体素子のサイズにかかわらず一定した結晶成長距離が確保できる。そして、この結晶性シリコン膜を用いて半導体素子を作製することにより、高性能で安定した特性を有する半導体装置が実現できる。また、結晶成長方向に沿ってソース、ドレイン領域を形成し、キャリアの移動する方向と結晶成長方向を一致させることにより、キャリアの移動が結晶粒界の影響を受けない高移動度を有する半導体素子を得ることができる。

【0015】

【実施例】

(実施例1) 本発明の実施例を薄膜トランジスタの製造方法を例に図1を用いて説明する。図1の(A)～

(D)は本発明におけるN型薄膜トランジスタの製造工程を工程順に示したものである。

【0016】まず、ガラス基板等の絶縁性基板上101上にスパッタリング法によって厚さ2000オングストロームの酸化シリコンによる下地膜102を形成する。次にプラズマCVD法によって、厚さ500～1500オングストローム、例えば1000オングストロームの真性非晶質シリコン膜を成膜する。その後不要な部分の非晶質シリコン膜を除去して素子間分離を行い、後に薄膜トランジスタのソース、ドレイン領域およびチャネル領域となる素子形成領域104を形成し、多数の島領域とする。アクティブマトリクス型液晶表示装置に本発明を適用する場合、マトリクス状に島領域が配置されることになる。

【0017】次に素子形成領域104上に酸化シリコン膜または窒化シリコン膜等によって形成されたマスク層103を設ける。このマスク103層に開口された窓状のスリット100によって非晶質シリコン膜104が露呈される。即ち、上面から見ると、図2のように島領域104に対してスリット100が橋渡しする大きさに形成され、このスリット100の部分において非晶質シリコン膜104が露呈しており、他の部分はマスクされている状態となっている。

【0018】上記マスク層103を設けた後、スパッタリング法によって、厚さ5～200オングストローム、例えば20オングストロームのケイ化ニッケル膜を成膜する。この後マスク層103を取り除くことによって、スリット領域100の部分に選択的にケイ化ニッケル薄膜が成膜されたことになり、スリット領域100の部分

にニッケルの微量添加が選択的に行われる。次に、これを水素還元雰囲気下、好ましくは、水素の分圧が0.1～1気圧の水素還元雰囲気下または不活性雰囲気下（大気圧）に保持し、550℃で16時間加熱処理して、矢印105で示す方向に結晶化させる。

【0019】以上のような工程にてラテラル結晶成長を行うと、非晶質シリコン膜中に直接ニッケルが添加されるため、より効率的なニッケル微量添加が可能となる。また、ニッケル添加工程直後に結晶化のための加熱処理工程が行われるため、ニッケル添加処理から熱処理工程の間に行われる他工程でのニッケルの酸化やエッチングによるダメージを未然に防ぐことが可能である。

【0020】その後、スパッタリング法によって厚さ1000オングストロームの酸化シリコン膜106をゲート絶縁膜として成膜する。スパッタリングには、ターゲットとして酸化シリコンを用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とする。引き続き、スパッタリング法によって、厚さ4000～8000オングストローム、例えば6000オングストロームのアルミニウムを成膜する。そして、アルミニウム膜をパターニングして、ゲート電極107を形成する。さらに、このゲート電極の表面を陽極酸化して、表面に酸化物層108を形成する。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行う。得られた酸化物層108の厚さは2000オングストロームである。なお、この酸化物層108は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0021】次に、イオンドーピング法によって、活性領域にゲート電極107とその周囲の酸化物層108をマスクとしてリンまたはホウ素等の不純物を注入する。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば80kVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により不純物が注入された領域109、111は後にソース、ドレイン領域となり、ゲート電極107およびその周囲の酸化物層108にマスクされ不純物が注入されない領域110は後に薄膜トランジスタのチャネル領域となる。この際、N型薄膜トランジスタとP型薄膜トランジスタとを相補型に構成した回路を作製する場合には、不純物のドーピングが必要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングし、N型の不純物領域とP型の不純物領域を作り分ける。

【0022】その後、図1（C）に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、波長248

nm、パルス幅20nsecのKrFエキシマレーザーを用いるが、他のレーザーであっても差し支えない。レーザー光の照射条件は、エネルギー密度が200～400 mJ/cm^2 、例えば250 mJ/cm^2 とし、一か所につき2～10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200～450℃程度に加熱することは有用である。このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、不純物がドーピングされた不純物領域109と111は、容易に活性化させ得る。

【0023】続いて、図1（D）に示すように、厚さ6000オングストロームの酸化シリコン膜112を層間絶縁膜としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって薄膜トランジスタの電極、配線113、114を形成する。さらに、この薄膜トランジスタを液晶表示装置等の画素スイッチング素子として用いる場合には、金属電極114の代わりにITOによる画素電極を形成する。そして最後に、1気圧の水素雰囲気中で350℃、30分の加熱処理を行い、薄膜トランジスタを完成させる。

【0024】図1に示す構成において、ニッケルが選択的に導入された領域とTFETとの位置関係を示すために、図2に、図1（D）を上面から見た概要を示す。図2において、領域100に選択的にニッケル微量添加が行われ、加熱処理によってそこから矢印105で示す横方向に結晶成長がなされる。本発明では、この加熱処理工程の前に非晶質シリコン膜の島状化を行うため、領域100に添加されたニッケルは周囲に拡散せず、効率的に矢印105の一方方向に向かって一次的に結晶成長が行われる。その結果、従来の方法に比較して横方向成長距離が長く、結晶方向が一方方向に揃った高品質な結晶性シリコン膜が得られる。

【0025】（実施例2）本発明の他の実施例について薄膜トランジスタの製造方法を例に図3を用いて説明する。図3の（A）～（D）は本発明におけるN型薄膜トランジスタの製造工程を工程順に示したものである。

【0026】まず、ガラス基板301上にスパッタリング法によって厚さ2000オングストローム程度の酸化シリコンによる下地膜302を形成する。次にメタルマスクまたは酸化シリコン膜等によって形成されたマスク層303を設ける。このマスク層303に開口された窓によって、スリット状に下地膜302が露呈される。図3（A）の状態を上面から見ると、図2のように領域100においてスリット状に下地膜102が露呈しており、他の部分はマスクされている状態となっている。上記マスク層303を設けた後、スパッタリング法によって、厚さ5～200オングストローム、例えば20オングストロームのケイ化ニッケル膜を成膜する。この後マ

スク層 303 を取り除くことによって、領域 300 の部分に選択的にケイ化ニッケル薄膜が成膜されたことになり、領域 300 の部分にニッケルの微量添加が選択的に行われる。次にプラズマ CVD 法によって、厚さ 500 ～ 1500 オングストローム、例えば 1000 オングストロームの真性非晶質シリコン膜を成膜する。その後、不要な部分の非晶質シリコン膜を除去して素子間分離を行い、後に薄膜トランジスタのソース、ドレイン領域およびチャネル領域となる素子形成領域 304 を形成する。以下、第 1 の実施例と同様に図 3 (c)、図 3 (d) に示す工程を経て薄膜トランジスタを完成させる。

【0027】(実施例 3) 本発明の他の実施例について図 4 を用いて説明する。図 4 に示すように上述の実施例 1 あるいは実施例 2 に示した方法で薄膜トランジスタを形成する。このときチャネル形成領域 410 内のキャリアの移動する方向がソース領域 409、ドレイン領域 411 間において結晶成長方向 405 と同一方向となるように構成される。従ってキャリアがその移動に際して結晶粒界を横切ることがないので、薄膜トランジスタの移動度を特に高くすることができる。

【0028】以上、本発明に基づく実施例を具体的に説明したが、これらの実施例においてニッケルを導入する方法として非晶質シリコン膜表面あるいは非晶質シリコン膜下の下地膜表面に選択的に極めて薄いニッケル薄膜を形成し、この部分から結晶成長を行う方法を示したが、非晶質シリコン膜成膜後にイオンドーピング法を用いてニッケルイオンを非晶質シリコン膜に選択的に注入する方法を用いることも可能である。この場合はニッケル元素の濃度を制御することができる特徴を有する。また、非晶質シリコン膜表面に酢酸ニッケル、硝酸ニッケル等のニッケル塩水溶液を塗布する液相処理によりニッケル微量添加を行っても良い。あるいはニッケル薄膜を成膜する代わりにニッケル電極を用いてプラズマ処理によりニッケル微量添加を行う方法もある。また、結晶化を助長する不純物金属元素としてはニッケル以外にコバルト、パラジウム、白金を用いても同様の効果が得られる。

【0029】本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバ内蔵型のサーマルヘッド、有機系 EL 等を発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元 IC 等が考えられる。本発明を用いることで、これらの素子の高速化、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施例で説明した薄膜トランジスタに限らず、結晶性半導体を素子に用いたバイポーラトランジスタや静電誘導トランジ

スタをはじめとして幅広く半導体プロセス全般に応用することができる。

【0030】

【発明の効果】結晶化を助長する金属元素を非晶質シリコン膜に導入して基板と平行に結晶成長させた結晶性シリコン膜を利用して半導体素子を作製する半導体装置の製造方法において、結晶化のための加熱処理工程以前に非晶質シリコン膜の素子間分離工程を行うことにより、素子形成領域内でのみ効率的に金属元素の拡散が起こり、半導体素子のサイズにかかわらず一定した横方向結晶成長距離が確保できる。また、従来の二次元的に他方向に拡散する横方向結晶成長とは異なり、結晶成長方向が完全に一方方向にそろった一次元的な横方向結晶成長が可能となり、高品質な結晶性シリコン膜を得ることができる。そして、この結晶性シリコン膜を用いて半導体素子を作製することにより、基板全面にわたって高性能で安定した特性の半導体素子を有する半導体装置が実現可能となる。その際、結晶の成長方向とキャリアの移動する方向とが平行となるように半導体素子を構成することにより、キャリアの移動が結晶粒界の影響を受けない高移動度を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の実施例における半導体素子の製造工程の一例を示す工程断面図である。

【図 2】本発明の実施例における半導体素子の概要を示す図である。

【図 3】本発明の他の実施例における半導体素子の製造工程の一例を示す工程断面図である。

【図 4】本発明の他の実施例における半導体素子の一例を示す断面図である。

【図 5】従来の結晶成長の概要を示す図である。

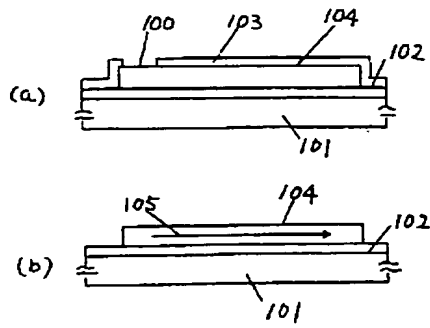
【図 6】従来の結晶成長距離の窓パターン寸法依存性を示す図である。

【図 7】従来の結晶成長の方向を示す図である。

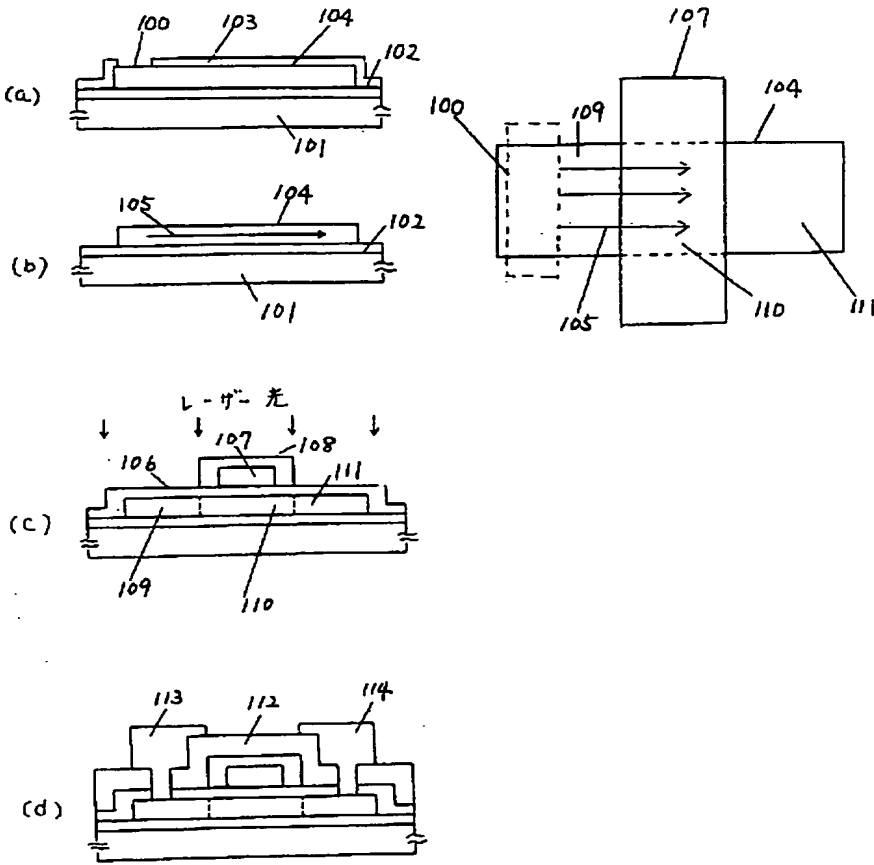
【符号の説明】

100、200、300	ニッケル微量添加領域
101、301	ガラス基板
102、302	下地膜
103、303	マスク
105、205、305	結晶成長方向
106、306	ゲート絶縁膜
107、207、307	ゲート電極
108、308	陽極酸化層
109、209、309	ソース領域
110、210、310	チャネル領域
111、211、311	ドレイン領域
112、312	層間絶縁膜
113、313	ソース電極
114、314	ドレイン電極

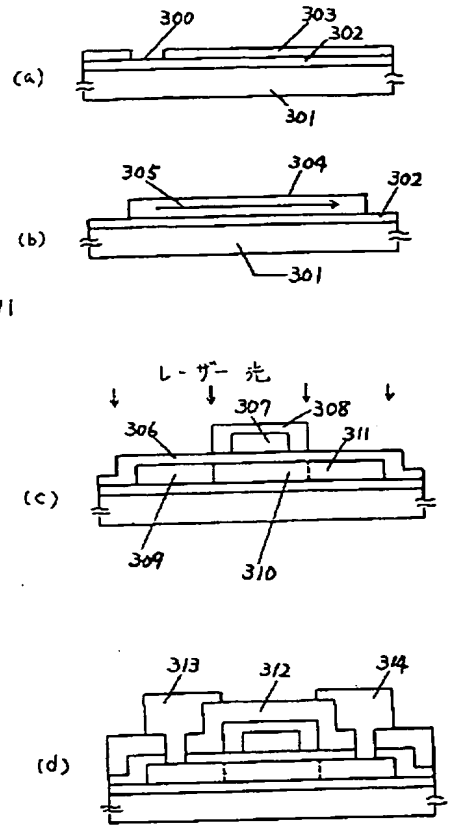
【図1】



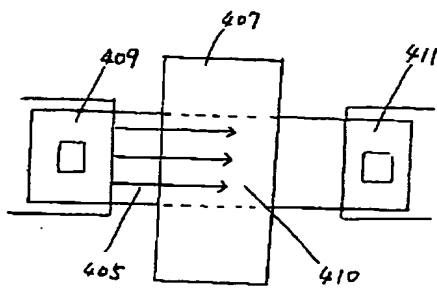
【図2】



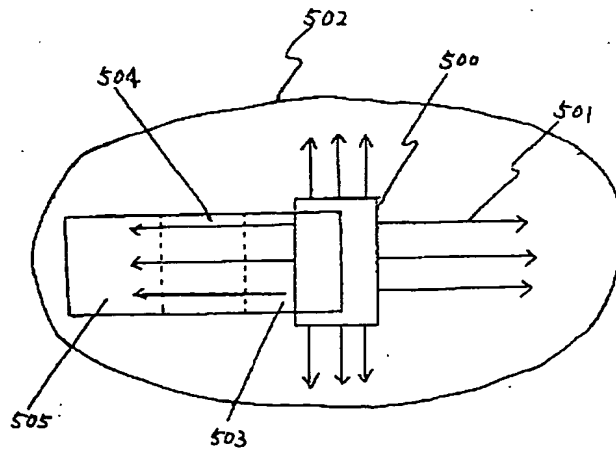
【図3】



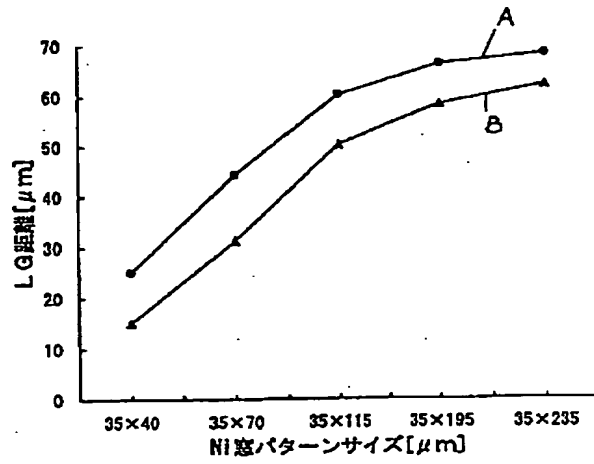
【図4】



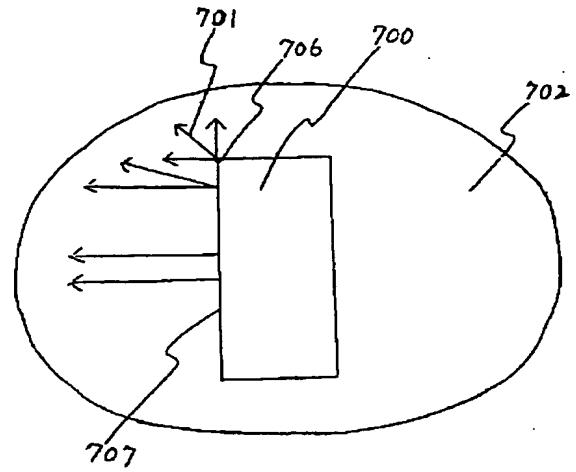
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所